

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-110810

(P2001-110810A)

(43) 公開日 平成13年4月20日 (2001. 4. 20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/3205  
29/78

識別記号

F I

H 0 1 L 21/88  
29/78

テ-マ-ト\* (参考)

Z 5 F 0 3 3  
3 0 1 X 5 F 0 4 0

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平11-285303

(22) 出願日 平成11年10月6日 (1999. 10. 6)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 青山 正明

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100087479

弁理士 北野 好人

最終頁に続く

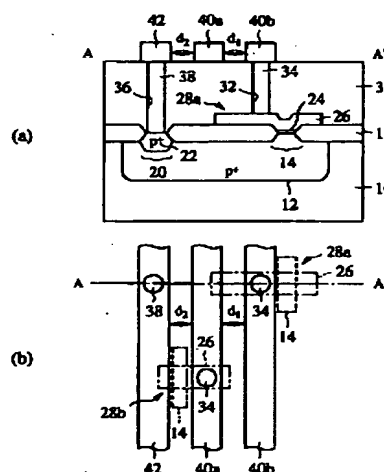
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 微細化した配線を形成する場合であっても、ゲート絶縁膜の破壊を防止しうる半導体装置及びその製造方法を提供する。

【解決手段】 下地基板10上にゲート絶縁膜24を介して形成されたゲート電極26を有するトランジスタ28aと、トランジスタ上及び下地基板上に形成された絶縁膜30と、絶縁膜上に、第1の間隔d<sub>1</sub>で互いに離間して形成された複数の第1の配線40a、40bと、第1の配線のいずれかから第1の間隔とほぼ等しい第2の間隔d<sub>2</sub>で離間して形成された第2の配線42とを有し、第1の配線のいずれかは、第1のゲート電極に電氣的に接続されており、第2の配線は、下地基板に電氣的に接続されている。

本発明の第1実施形態による半導体装置を示す断面図及び平面図



10…半導体基板  
12…ウェル  
14…変調領域  
16…埋込絶縁膜  
20…コンタクト領域  
22…コンタクト層  
24…ゲート絶縁膜  
26…ゲート電極  
28a…トランジスタ  
28b…トランジスタ  
30…埋込絶縁膜  
32…コンタクトホール  
34…導体プラグ  
36…コンタクトホール  
38…導体プラグ  
40a、40b…配線  
42…ゲミ配線

BEST AVAILABLE COPY

(2)

1

## 【特許請求の範囲】

【請求項1】 下地基板上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、  
前記第1のトランジスタ上及び前記下地基板上に形成された第1の絶縁膜と、  
前記第1の絶縁膜上に、第1の間隔で互いに離間して形成された複数の第1の配線と、  
前記第1の配線のいずれかから前記第1の間隔とほぼ等しい第2の間隔で離間して形成された第2の配線とを有し、  
前記第1の配線のいずれかは、前記第1のゲート電極に電気的に接続されており、  
前記第2の配線は、前記下地基板に電気的に接続されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、  
前記下地基板上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、  
前記第1の絶縁膜上、前記第1の配線上、及び前記第2の配線上に形成された第2の絶縁膜と、  
前記第2の絶縁膜上に、第3の間隔で互いに離間して形成された複数の第3の配線と、  
前記第3の配線のいずれかから前記第3の間隔とほぼ等しい第4の間隔で離間して形成された第4の配線とを更に有し、  
前記第3の配線のいずれかは、前記第2のゲート電極に電気的に接続されており、  
前記第4の配線は、前記下地基板に電気的に接続されていることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、  
前記第1の間隔、前記第2の間隔、前記第3の間隔、及び前記第4の間隔は、 $1\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項4】 下地基板上に、ゲート絶縁膜を介して形成されたゲート電極を有するトランジスタを形成する工程と、  
前記下地基板上及び前記トランジスタ上に、絶縁膜を形成する工程と、  
前記絶縁膜上に、配線材料膜を形成する工程と、  
前記配線材料膜をエッチングし、少なくともいずれかが前記ゲート電極に電気的に接続される第1の配線と、前記下地基板に電気的に接続される第2の配線とを形成する工程とを有し、  
前記配線材料膜をエッチングする工程では、前記第1の配線どうしを離間する第1の間隔とほぼ等しい第2の間隔で、前記第1の配線のいずれかから離間して前記第2の配線を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

2

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にゲート絶縁膜の絶縁破壊を防止しつつ、微細な配線を形成しうる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近時、LSI等の半導体装置は急速に微細化が進められており、これに伴って電界効果トランジスタのゲート絶縁膜も薄くなる傾向にある。

【0003】薄いゲート絶縁膜は電気的ストレスに弱いため、強い電気的ストレスが加わった場合には、ゲート絶縁膜に絶縁破壊が生じてしまう。

【0004】従来、ゲート絶縁膜に絶縁破壊が生じる要因としては、主として、ゲート電極をパターニングする際のプラズマの不均一によって、ゲート絶縁膜に強い電気的ストレスが加わるためと考えられていた。

【0005】しかしながら、ゲート絶縁膜をパターニングする際のプラズマの不均一を是正した場合であっても、配線間隔の狭い微細化された半導体装置を製造する際においては、ゲート絶縁膜に絶縁破壊が生じやすいことが判ってきている。

【0006】ゲート絶縁膜に絶縁破壊が生じる半導体装置の製造方法を図8を用いて説明する。図8は、従来の半導体装置の製造方法を示す断面図である。

【0007】まず、図8(a)に示すように、半導体基板110上に、素子分離膜116を形成する。次に、素子分離膜116により画定された素子領域に、ゲート絶縁膜124を形成する。次に、ゲート絶縁膜124上にゲート電極126を形成する。次に、ゲート電極126に自己整合でソース/ドレイン拡散層(図示せず)を形成し、ゲート電極126とソース/ドレイン拡散層とを有するトランジスタ128を形成する。

【0008】次に、全面に層間絶縁膜130を形成し、ゲート電極126に達するコンタクトホール132を形成し、更に、全面に、配線材料膜144を形成する。次に、配線材料膜144上に、配線を形成するためのフォトリソリスタマスク146を形成する。

【0009】次に、フォトリソリスタマスク146をマスクとして、配線材料膜144をエッチングする。この際、パターン間隔が広い半導体装置では特段の問題は生じないが、パターン間隔が狭い微細な半導体装置においては、パターン間隔が狭い領域でエッチングレートが遅くなるといったマイクロローディング効果が発生する。この時、陽イオンは基板表面でのシース電界により加速されて半導体基板110に対してほぼ垂直に入射する一方、電子はシース電界により減速されるため半導体基板110に対して斜めに入射する。このため、フォトリソリスタマスク146のパターン間隔が狭い領域においては、フォトリソリスタマスク146の側面には電子が多く入射し、配線材料膜144には陽イオンが多く入射する

(3)

3

(図8(b)参照)。

【0010】そして、エッチングの進行に伴い、電子が多く入射したフォトレジストマスク146は負に帯電し、陽イオンが多く入射した配線材料膜144は正に帯電する。このようにして、配線材料膜144及びゲート電極126に正の電荷がチャージアップされる。

【0011】そして、チャージアップが進行してゲート絶縁膜124の耐圧以上の電圧が半導体基板110とゲート電極126との間に加わると、ゲート絶縁膜124に絶縁破壊が生じ、正の電荷が半導体基板110側に放電される(図8(c)参照)。

【0012】そこで、かかるチャージアップダメージを回避するために、ゲート電極126と半導体基板110との間に保護ダイオードを挿入する技術が提案されている。ゲート電極126と半導体基板110との間に保護ダイオードを挿入すれば、ゲート電極126と半導体基板110との間の電位差を小さくすることができ、これによりゲート絶縁膜124に絶縁破壊が生じるのを防止することができる。

【0013】

【発明が解決しようとする課題】しかしながら、すべてのゲート電極に保護ダイオードを接続することは困難であり、ひいては、半導体装置の集積度を向上する上での阻害要因となる。

【0014】そこで、配線の面積をゲート面積で除した値であるアンテナ比が高い配線においてチャージアップダメージが生じやすいことから、かかるアンテナ比の高い配線にのみ保護ダイオードを接続することが考えられるが、設計データ等からアンテナ比を計算して保護ダイオードを接続すべきゲート電極を特定することは必ずしも容易ではなかった。

【0015】本発明の目的は、微細化した配線を形成する場合であっても、ゲート絶縁膜の破壊を防止しうる半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的は、下地基板上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、前記第1のトランジスタ上及び前記下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に、第1の間隔で互いに離間して形成された複数の第1の配線と、前記第1の配線のいずれかから前記第1の間隔とほぼ等しい第2の間隔で離間して形成された第2の配線とを有し、前記第1の配線のいずれかは、前記第1のゲート電極に電氣的に接続されており、前記第2の配線は、前記下地基板上に電氣的に接続されていることを特徴とする半導体装置により達成される。これにより、第1の間隔とほぼ等しい間隔で、第1の配線から離間して第2の配線を形成しているの

4

2の配線を下地基板上に接続し、第1の配線を第1のトランジスタの第1のゲート電極に接続しているため、第1の配線と第2の配線とに電荷がチャージアップされた場合であっても、第1のゲート絶縁膜に加わる電界を小さくすることができ、第1のゲート絶縁膜の絶縁破壊を防止することができる。

【0017】また、上記の半導体装置において、前記下地基板上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、前記第1の絶縁膜上、前記第1の配線上、及び前記第2の配線上に形成された第2の絶縁膜と、前記第2の絶縁膜上に、第3の間隔で互いに離間して形成された複数の第3の配線と、前記第3の配線のいずれかから前記第3の間隔とほぼ等しい第4の間隔で離間して形成された第4の配線とを更に有し、前記第3の配線のいずれかは、前記第2のゲート電極に電氣的に接続されており、前記第4の配線は、前記下地基板上に電氣的に接続されていることが望ましい。

【0018】また、上記の半導体装置において、前記第1の間隔、前記第2の間隔、前記第3の間隔、及び前記第4の間隔は、1 $\mu$ m以下であることが望ましい。

【0019】また、上記目的は、下地基板上に、ゲート絶縁膜を介して形成されたゲート電極を有するトランジスタを形成する工程と、前記下地基板上及び前記トランジスタ上に、絶縁膜を形成する工程と、前記絶縁膜上に、配線材料膜を形成する工程と、前記配線材料膜をエッチングし、少なくともいずれかが前記ゲート電極に電氣的に接続される第1の配線と、前記下地基板上に電氣的に接続される第2の配線とを形成する工程とを有し、前記配線材料膜をエッチングする工程では、前記第1の配線どうしを離間する第1の間隔とほぼ等しい第2の間隔で、前記第1の配線のいずれかから離間して前記第2の配線を形成することを特徴とする半導体装置の製造方法により達成される。これにより、第1の間隔とほぼ等しい間隔で、第1の配線から離間して第2の配線を形成しているため、第1の配線と第2の配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、第2の配線が下地基板上に接続され、第1の配線がトランジスタのゲート電極に接続されているため、第1の配線と第2の配線とに電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0020】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図5を用いて説明する。図1は、本実施形態による半導体装置を示す断面図及び平面図である。なお、図1(a)は、図1(b)のA-A'線断面図である。図2乃至図4は、本実施形態による半導体装置の製造方法の工程断

(4)

5

面図である。図5は、配線とダミー配線との間隔を広く設定した半導体装置の断面図及び平面図である。

【0021】(半導体装置) 図1に示すように、半導体基板10には、p形不純物が高濃度に導入されたウェル12が形成されており、ウェル12が形成された半導体基板10上には、素子領域14及びコンタクト領域20を画定する素子分離膜16が形成されている。

【0022】素子領域14の半導体基板10の表面には、ゲート絶縁膜24が形成されており、ゲート絶縁膜24上にはゲート電極26が形成されている。ゲート電極26の両側の半導体基板10には、ゲート電極26に自己整合でソース/ドレイン拡散層(図示せず)が形成されている。こうして、図1(b)に示すように、ソース/ドレイン拡散層とゲート電極26とを有するトランジスタ28a、28bが形成されている。

【0023】また、素子分離膜16により画定されたコンタクト領域20には、p形不純物が高濃度に導入されたコンタクト層22が形成されている。

【0024】トランジスタ28a、28bが形成された半導体基板10上には、全面に、層間絶縁膜30が形成されている。層間絶縁膜30には、ゲート電極26に達するコンタクトホール32が形成されており、コンタクトホール32内には、導体プラグ34が埋め込まれている。また、層間絶縁膜30には、コンタクト層22に達するコンタクトホール36が形成されており、コンタクトホール36内には、導体プラグ38が埋め込まれている。

【0025】導体プラグ34、38が埋め込まれた層間絶縁膜30上には、配線40aと配線40bとが形成されている。配線40aは、トランジスタ28bのゲート電極26に接続されており、配線40bは、トランジスタ28aのゲート電極26に接続されている。

【0026】また、層間絶縁膜30上には、ダミー配線42が形成されている。配線42は、導体プラグ38を介してコンタクト層22に接続されており、コンタクト層22を介してウェル12に接続されている。なお、ダミー配線42は、トランジスタ等の半導体素子には特に接続されていない。

【0027】また、配線40aと配線40bとの間隔d1と、ダミー配線42と配線40aとの間隔d2とが、ほぼ等しく設定されている。

【0028】本実施形態による半導体装置は、配線40aと配線40bとの間隔d1と、ダミー配線42と配線40aとの間隔d2とが、ほぼ等しく設定されており、しかも、ダミー配線が下地基板に接続されていることに主な特徴がある。

【0029】配線40aと配線40bとの間隔d1と、ダミー配線42と配線40aとの間隔d2とが、ほぼ等しく設定されているため、配線材料膜がパターニングにより互いに分離されて配線40a、40b及びダミー配

6

線42が形成されるタイミングをほぼ等しくすることができる。

【0030】このため、マイクロローディング効果により配線材料膜に電荷がチャージアップされた場合であっても、トランジスタ28aのゲート電極26とウェル12との間に大きな電位差が生じるのを抑制することができる、トランジスタ28aのゲート絶縁膜に絶縁破壊が生じるのを防止することができる。

【0031】従って、本実施形態によれば、微細化な半導体装置を提供する場合であっても、ゲート絶縁膜の絶縁破壊を防止することができ、信頼性の高い半導体装置を提供することができる。なお、マイクロローディング効果は、配線間隔d1が1μm以下の場合に生じやすいものであるため、配線間隔d1が例えば1μm以下の場合に特に有効である。従って、配線間隔d2も例えば1μm以下に設定されることになる。

【0032】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図2乃至図5を用いて説明する。

【0033】まず、イオン注入法により、半導体基板10にp形不純物を高濃度に導入し、これによりp形のウェル12を形成する。

【0034】次に、LOCOS (LOCaI Oxidation of Silicon) 法により、素子領域14及びコンタクト領域20を画定する素子分離膜16を形成する。

【0035】次に、熱酸化法により、半導体基板10の表面にゲート絶縁膜24を形成する。次に、ポリシリコンより成るゲート電極26を形成する(図2(a)参照)。

【0036】次に、ゲート電極26に自己整合でn形不純物を導入し、これにより、ゲート電極26の両側にソース/ドレイン拡散層(図示せず)を形成する。

【0037】次に、コンタクト領域20にp形不純物を高濃度に導入し、これによりコンタクト層22を形成する(図2(a)参照)。

【0038】次に、全面に、CVD (Chemical Vapor Deposition、化学気相堆積) 法により、膜厚約1μmのBPSG (Boro-Phospho-Silicate Glass) より成る層間絶縁膜30を形成する。

【0039】次に、層間絶縁膜30に、ゲート電極26に達するコンタクトホール32と、コンタクト層22に達するコンタクトホール36とを形成する。

【0040】次に、全面に、CVD法により、膜厚約400nmのタングステンより成る配線材料膜を形成する。次に、CMP (Chemical Mechanical Polishing、化学的機械的研磨) 法により、層間絶縁膜30の表面が露出するまで配線材料膜を研磨し、これにより、コンタクトホール32、36内に、それぞれ導体プラグ34、38を形成する(図2(b)参照)。

【0041】次に、全面に、スパッタ法により、膜厚約

(5)

7

400nmのAlより成る配線材料膜44を形成する(図2(c)参照)。

【0042】次に、全面に、スピンコート法により、フォトリソグロフ膜を形成する。次に、フォトリソグラフィ技術を用い、配線40a、40b及びダミー配線42を形成するためのフォトリソマスク46を形成する(図3(a)参照)。

【0043】次に、フォトリソマスク46をマスクとして、配線材料膜44をドライエッチングする。配線材料膜44をエッチングする際、フォトリソマスク46のパターン間隔が狭い領域においては、エッチングレートが遅くなるといったマイクロローディング効果が発生する。この時、陽イオンは基板表面のシース電界により加速されて半導体基板10に対してほぼ垂直に入射する一方、電子はシース電界により減速されるため半導体基板10に対して斜めに入射する。このため、フォトリソマスク46のパターン間隔が狭い領域においては、フォトリソマスク46の側面には電子が多く入射し、配線材料膜44には陽イオンが多く入射する(図3(b)参照)。

【0044】そして、エッチングが進行していくと、電子が多く入射したフォトリソマスク46は負に帯電し、陽イオンが多く入射した配線材料膜44は正に帯電する。このようにして、配線材料膜44に正の電荷がチャージアップされることとなる。

【0045】しかしながら、本実施形態では、配線40aと配線40bとの間隔 $d_1$ と、配線40aとダミー配線42との間隔 $d_2$ とがほぼ等しく設定されているため、配線40a、40b及びダミー配線42が一定のタイミングまでは互いに接続された状態となる。しかも、配線材料膜44のダミー配線42の部分は導体プラグ38等を介してウェル12に接続されており、配線材料膜44の配線40bの部分は導体プラグ34を介してトランジスタ28aのゲート電極26に接続されている。従って、本実施形態によれば、配線材料膜44に正の電荷がチャージアップされた場合であっても、トランジスタ28aのゲート電極26とウェル12との間の電位差を小さくすることができ、ゲート絶縁膜24の絶縁破壊を防止することができる。

【0046】こうして、配線間隔が狭い微細な半導体装置を製造する場合であっても、ゲート絶縁膜の絶縁破壊を防止することができ、信頼性の高い半導体装置を提供することができる(図4(b)参照)。

【0047】なお、図5に示すように、配線40aと配線40bとの間隔 $d_1$ よりも、配線40aとダミー配線42との間隔 $d_2$ の方が大きい場合には、パターン間隔が広い領域においてエッチングレートが早くなるため、ダミー配線42が配線材料膜44から早期に分離される。このため、マイクロローディング効果により配線材料膜44に正の電荷がチャージアップされた場合には、

8

ゲート電極26とウェル12との間に高い電圧差が生じ、これによりゲート絶縁膜24に絶縁破壊が生じてしまう。従って、配線40aと配線40bとの間隔 $d_1$ と、配線40aとダミー配線42との間隔 $d_2$ とは、図1に示すように、互いに等しく設定することが望ましい。

【0048】このように、本実施形態によれば、配線間隔とほぼ等しい間隔で、配線から離間してダミー配線を形成しているので、配線とダミー配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、配線材料膜のダミー配線の部分を下地基板に接続し、配線材料膜の配線の部分をトランジスタのゲート電極に接続しているため、配線材料膜に正の電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0049】〔第2実施形態〕本発明の第2実施形態による半導体装置を図6を用いて説明する。図6は、本実施形態による半導体装置を示す断面図である。図1乃至図5に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0050】図1に示すように、半導体基板10上には、p形不純物が高濃度に導入されたウェル12aが形成されており、ウェル12aが形成された半導体基板10上には、素子領域14a、14b及びコンタクト領域20aを画定する素子分離膜16が形成されている。

【0051】素子領域14に設けられたトランジスタ28aは、第1実施形態で説明したトランジスタ28aと同様であるので説明を省略する。

【0052】また、素子領域14aにも、トランジスタ28aと同様のトランジスタ28bが形成されている。

【0053】トランジスタ28a、28cが形成された半導体基板10上には、第1実施形態と同様に層間絶縁膜30が形成されている。

【0054】層間絶縁膜30には、第1実施形態と同様にトランジスタ28aのゲート電極26に達するコンタクトホール32が形成されており、コンタクトホール32内には、導体プラグ34が埋め込まれている。

【0055】また、層間絶縁膜30には、トランジスタ28cのゲート電極26に達するコンタクトホール32aが形成されており、コンタクトホール32a内には、導体プラグ34aが埋め込まれている。

【0056】また、コンタクト領域20には、第1実施形態と同様に、p形のコンタクト層22が形成されている。また、層間絶縁膜30には、コンタクト層22に達するコンタクトホール36が形成されており、コンタクトホール36内には、導体プラグ38が形成されている。

【0057】導体プラグ32、32a、38が埋め込ま

(6)

9

れた層間絶縁膜30上には、1層目の配線、即ち配線40a、40b及びダミー配線42が、第1実施形態と同様に形成されている。配線40aと配線40bとの間隔 $d_1$ は、第1実施形態と同様に、ダミー配線42と配線40aとの間隔 $d_2$ とほぼ等しく設定されている。

【0058】従って、第1実施形態で説明したのと同様に、配線40a、40bを形成する際に、トランジスタ28aのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。

【0059】また、層間絶縁膜30上には、導体プラグ32aに接続された配線48が形成されている。

【0060】配線40a、40b、48及びダミー配線42が形成された層間絶縁膜30上には、全面に層間絶縁膜50が形成されている。

【0061】層間絶縁膜50には、ダミー配線42に達するコンタクトホール52が形成されており、コンタクトホール52内には、導体プラグ54が埋め込まれている。また、層間絶縁膜50には、配線48に達するコンタクトホール56が形成されており、コンタクトホール56内には、導体プラグ58が形成されている。

【0062】導体プラグ54及び導体プラグ58が埋め込まれた層間絶縁膜50上には、第2層の配線、即ち、配線60a乃至60c及びダミー配線62が形成されている。また、配線60a乃至60cの互いの間隔 $d_3$ は、ダミー配線62と配線60aとの間隔 $d_4$ とほぼ等しく設定されている。

【0063】本実施形態では、間隔 $d_3$ と間隔 $d_4$ とがほぼ等しいため、配線材料膜をパターニングして配線60a乃至60c及びダミー配線62を形成する際には、ほぼ同じタイミングで配線材料膜が分離されて配線60a乃至60c及びダミー配線62が形成される。しかも、配線60cは導体プラグ58等を介してトランジスタ28cのゲート電極26に接続されており、ダミー配線62は導体プラグ54、ダミー配線42等を介して下地基板に接続されている。

【0064】従って、本実施形態によれば、配線40a、40bを形成する際にトランジスタ28aのゲート絶縁膜の絶縁破壊を防止することができるのと同様に、配線60a乃至60cを形成する際にも、トランジスタ28cのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。なお、マイクロローディング効果は、配線間隔 $d_3$ が $1\mu\text{m}$ 以下の場合に生じやすいものであるため、配線間隔 $d_3$ が例えば $1\mu\text{m}$ 以下の場合に特に有効である。従って、配線間隔 $d_4$ も例えば $1\mu\text{m}$ 以下に設定されることになる。

【0065】このように、本実施形態によれば、第1層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第2層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

10

【0066】なお、本実施形態による半導体装置は、第1実施形態に示した半導体装置の製造方法と同様の方法により、導体プラグ52、56、配線60a乃至60c、及びダミー配線62等を適宜形成することにより製造することができる。

【0067】〔第3実施形態〕本発明の第3実施形態による半導体装置を図7を用いて説明する。図7は、本実施形態による半導体装置を示す断面図である。図1乃至図6に示す第1及び第2実施形態による半導体装置と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0068】まず、導体プラグ34、36、34aが埋め込まれた層間絶縁膜30より下部の構造については、第2実施形態による半導体装置と同様であるので、説明を省略する。

【0069】導体プラグ34、34a、38が埋め込まれた層間絶縁膜30上には、導体プラグ34に接続された配線40b、導体プラグ34aに接続された配線48、及び導体プラグ38に接続されたダミー配線42が、第2実施形態と同様に形成されている。配線40b、48及びダミー配線42が形成された層間絶縁膜30上には、第2実施形態と同様に、全面に層間絶縁膜50が形成されている。

【0070】層間絶縁膜50には、第2実施形態と同様に、ダミー配線42に接続された導体プラグ54が埋め込まれており、配線48に接続された導体プラグ58が埋め込まれている。また、層間絶縁膜50には、配線40bに達するコンタクトホール64が形成されており、コンタクトホール64内には、導体プラグ66が埋め込まれている。

【0071】導体プラグ54、58、66が埋め込まれた層間絶縁膜50上には、第2層の配線、即ち配線60a乃至60c及びダミー配線62が、第2実施形態と同様に形成されている。従って、第2実施形態で説明したのと同様に、配線60乃至60cを形成する際に、トランジスタ28cのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。

【0072】また、層間絶縁膜40上には、配線68が形成されている。

【0073】配線60a乃至60c、68及びダミー配線62が形成された層間絶縁膜50上には、層間絶縁膜69が形成されている。

【0074】層間絶縁膜69には、配線68に達するコンタクトホール70が形成されており、コンタクトホール70内には、導体プラグ72が埋め込まれている。また、層間絶縁膜69には、ダミー配線62に達するコンタクトホール74が形成されており、コンタクトホール74内には、導体プラグ76が埋め込まれている。

【0075】導体プラグ72、76が埋め込まれた層間絶縁膜69上には、第3層の配線、即ち、配線78a、

(7)

11

78b及びダミー配線80が形成されている。また、配線78a、78bの間隔d<sub>5</sub>は、ダミー配線80と配線78aとの間隔d<sub>6</sub>とほぼ等しく設定されている。

【0076】本実施形態では、間隔d<sub>5</sub>と間隔d<sub>6</sub>とがほぼ等しいため、配線材料膜をパターンニングして配線78a、78b及びダミー配線80を形成する際には、ほぼ同じタイミングで配線材料膜が分離されて配線78a、78b及びダミー配線80が形成される。しかも、配線78aは導体プラグ72等を介してトランジスタ28aのゲート電極26に接続されており、ダミー配線80は導体プラグ76、ダミー配線62等を介して下地基板に接続されている。

【0077】従って、本実施形態によれば、第2層の配線、即ち、配線60a乃至60cを形成する際にトランジスタ28cのゲート絶縁膜の絶縁破壊を防止することができ、第3層の配線、即ち、配線78a乃至78bを形成する際にも、トランジスタ28aのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。なお、マイクロレーディング効果は、配線間隔d<sub>4</sub>が1μm以下の場合に生じやすいものであるため、配線間隔d<sub>4</sub>が例えば1μm以下の場合に特に有効である。従って、配線間隔d<sub>6</sub>も例えば1μm以下に設定されることになる。

【0078】このように、本実施形態によれば、第2層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第3層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【0079】なお、本実施形態による半導体装置は、第1及び第2実施形態に示した半導体装置の製造方法と同様の方法により、導体プラグ72、76、配線78a、78b、及びダミー配線80等を適宜形成することにより製造することができる。

【0080】[変形実施形態] 本発明は上記実施形態に限らず種々の変形が可能である。

【0081】例えば、第1実施形態では、p形のウェル12にp形のコンタクト層22を形成したが、p形のウェルにp形のコンタクト層を形成するのみならず、n形ウェルにn形のコンタクト層を形成してもよい。この場合でも、上記と同様の効果を得ることができる。

【0082】また、第1実施形態では、p形のウェル12にp形のコンタクト層22を形成したが、p形のウェルにn形の不純物層を形成することにより、n形のダイオードを構成してもよい。また、n形のウェルにp形の不純物層を形成することにより、p形のダイオードを構成してもよい。いずれの場合も、ウェルとゲート電極との間の電位差を小さくすることができるので、ゲート絶縁膜に絶縁破壊が生じるのを防止することができる。

【0083】また、半導体装置の製造工程中において、ダミー配線の一方の側がp形のウェルに接続され、

12

そのダミー配線の他方の側がn形のウェルに接続されていてもよい。但し、この場合には、最終的に、ダミー配線を任意の箇所でカットする必要がある。n形のウェルとp形のウェルとが同一のダミー配線で接続されると、電源の正側と負側とが短絡してしまうからである。

【0084】

【発明の効果】以上の通り、本発明によれば、配線間隔とほぼ等しい間隔で、配線から離間してダミー配線を形成しているため、配線とダミー配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、配線材料膜のダミー配線の部分を下地基板に接続し、配線材料膜の配線の部分をトランジスタのゲート電極に接続しているため、配線材料膜に正の電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0085】また、本発明によれば、第1層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第2層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【0086】また、本発明によれば、第2層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第3層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図及び平面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その2）である。

【図4】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その3）である。

【図5】配線とダミー配線との間隔を広く設定した半導体装置の断面図及び平面図である。

【図6】本発明の第2実施形態による半導体装置を示す断面図である。

【図7】本発明の第3実施形態による半導体装置を示す断面図である。

【図8】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

10…半導体基板

12…ウェル

14…素子領域

16…層間絶縁膜

20…コンタクト領域

22…コンタクト層

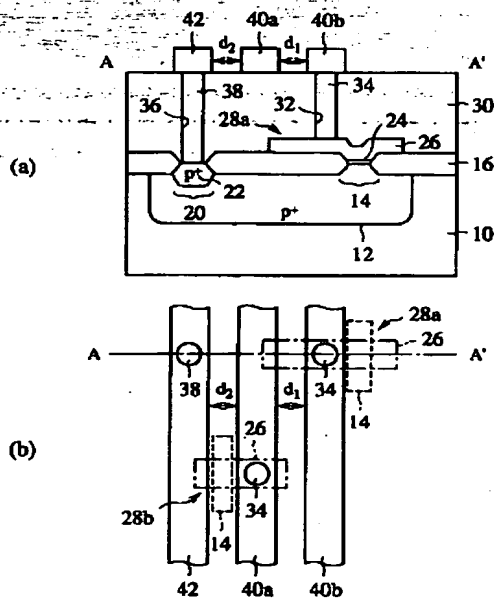
(8)

13

- 24...ゲート絶縁膜
- 26...ゲート電極
- 28a...トランジスタ
- 28b...トランジスタ
- 28c...トランジスタ
- 30...層間絶縁膜
- 32...コンタクトホール
- 34...導体プラグ
- 36...コンタクトホール
- 38...導体プラグ
- 40a、40b...配線
- 42...ダミー配線
- 44...配線材料膜
- 46...フォトリソマスク
- 48...配線
- 50...層間絶縁膜
- 52...コンタクトホール
- 54...導体プラグ
- 56...コンタクトホール
- 58...導体プラグ
- 60a、60b、60c...配線

【図1】

本発明の第1実施形態による半導体装置を示す  
断面図及び平面図



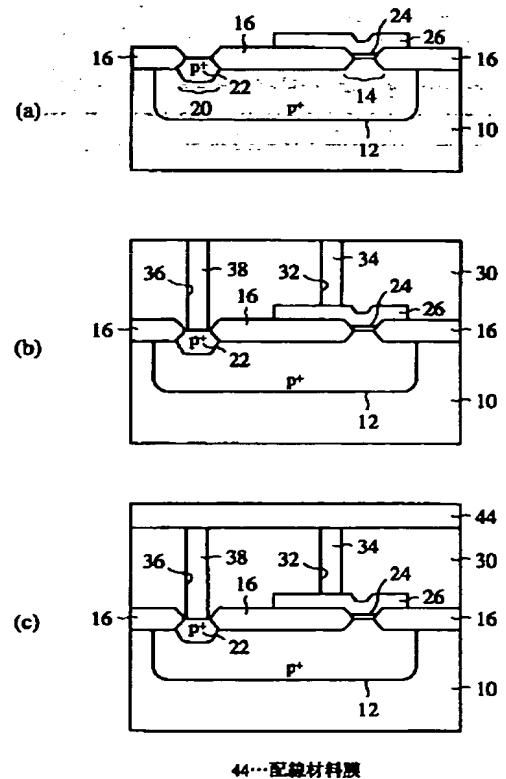
- |              |               |
|--------------|---------------|
| 10...半導体基板   | 30...層間絶縁膜    |
| 12...ウェル     | 32...コンタクトホール |
| 14...素子領域    | 34...導体プラグ    |
| 16...層間絶縁膜   | 36...コンタクトホール |
| 20...コンタクト領域 | 38...導体プラグ    |
| 22...コンタクト層  | 40a、40b...配線  |
| 24...ゲート絶縁膜  | 42...ダミー配線    |
| 26...ゲート電極   |               |
| 28a...トランジスタ |               |
| 28b...トランジスタ |               |

14

- 62...ダミー配線
- 64...コンタクトホール
- 66...導体プラグ
- 68...配線
- 69...層間絶縁膜
- 70...コンタクトホール
- 72...導体プラグ
- 74...コンタクトホール
- 76...導体プラグ
- 10 78a、78b...配線
- 80...ダミー配線
- 110...半導体基板
- 116...層間絶縁膜
- 124...ゲート絶縁膜
- 126...ゲート電極
- 128...トランジスタ
- 130...層間絶縁膜
- 132...コンタクトホール
- 144...配線材料膜
- 20 146...フォトリソマスク

【図2】

本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その1)



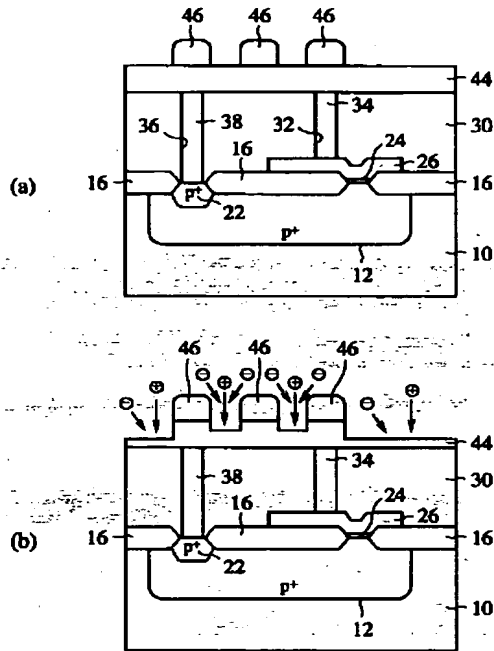
44...配線材料膜



(9)

【図3】

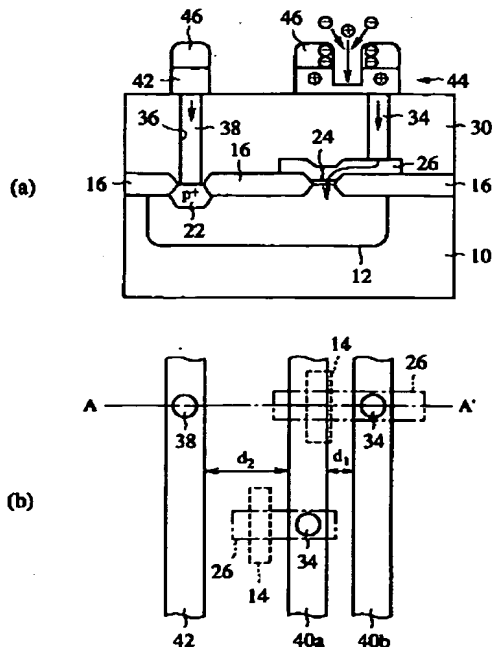
本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その2)



46...フォトリソマスク

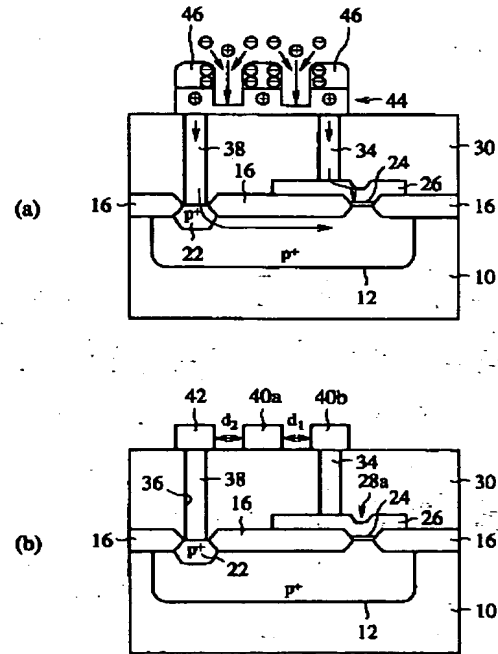
【図5】

配線とダミー配線との間隔を広く設定した  
半導体装置の断面図及び平面図



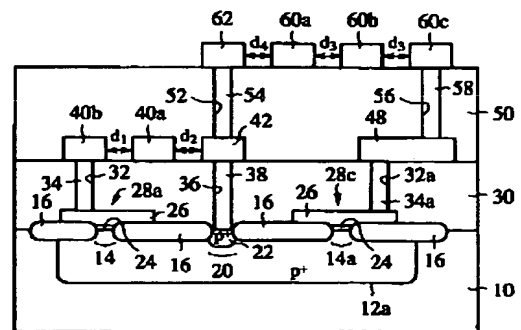
【図4】

本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その3)



【図6】

本発明の第2実施形態による半導体装置を示す断面図

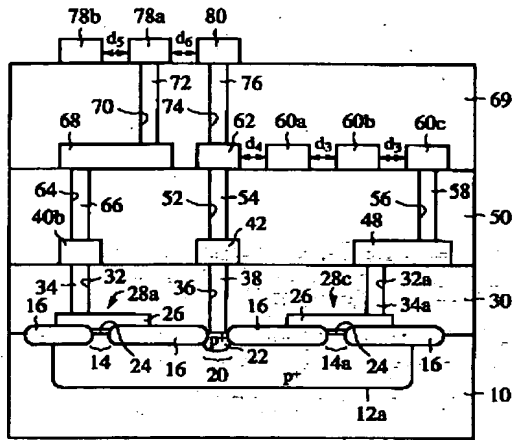


28c...トランジスタ  
48...配線  
50...層間絶縁膜  
52...コンタクトホール  
54...導体プラグ  
56...コンタクトホール  
58...導体プラグ  
60a, 60b, 60c...配線  
62...ダミー配線

(10)

【図7】

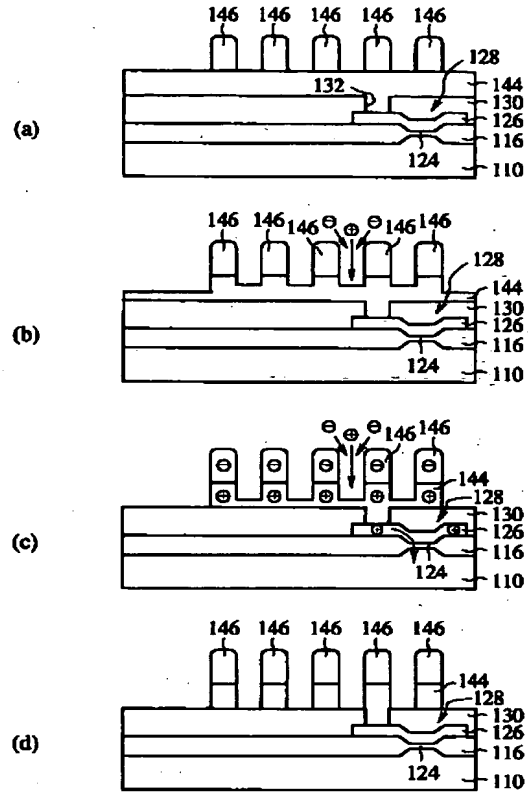
本発明の第3実施形態による半導体装置を示す断面図



64...コンタクトホール  
66...導体プラグ  
68...配線  
69...層間絶縁膜  
70...コンタクトホール  
72...導体プラグ  
74...コンタクトホール  
76...導体プラグ  
78a, 78b...配線  
80...ダミー配線

【図8】

従来の半導体装置の製造方法を示す断面図



110...半導体基板  
116...層間絶縁膜  
124...ゲート絶縁膜  
126...ゲート電極  
128...トランジスタ  
130...層間絶縁膜  
132...コンタクトホール  
144...配線材料膜  
146...フォトリソマスク

フロントページの続き

Fターム(参考) 5F033 HH08 JJ19 KK01 KK04 KK08  
PP06 PP15 QQ08 QQ11 QQ37  
QQ48 RR15 SS11 VV01 XX00  
5F040 EC07 EJ01 EK01

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第1区分

【発行日】平成14年5月10日(2002.5.10)

【公開番号】特開2001-110575(P2001-110575A)

【公開日】平成13年4月20日(2001.4.20)

【年通号数】公開特許公報13-1106

【出願番号】特願平11-283174

【国際特許分類第7版】

H05B 33/26

G09F 9/30 338

H05B 33/10

【FI】

H05B 33/26

G09F 9/30 338

H05B 33/10

【手続補正書】

【提出日】平成14年2月15日(2002.2.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】表示装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上方に形成された第1の電極と、該第1の電極上に形成された発光素子層と、該発光素子層上に形成された第2の電極とを有する表示装置において、前記第1の電極の端部は斜面となっていることを特徴とする表示装置。

【請求項2】 前記第1の電極の斜面は10度以上45度以下の角度であることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記第1の電極の斜面は25度以上35度以下の角度であることを特徴とする請求項1に記載の表示装置。

【請求項4】 前記第1の電極の厚さは、前記発光素子層の膜厚の1/2よりも薄いことを特徴とする請求項1乃至3のいずれかに記載の表示装置。

【請求項5】 前記第1の電極の厚さは、前記発光素子

層の膜厚の1/3よりも薄いことを特徴とする請求項1乃至3のいずれかに記載の表示装置。

【請求項6】 基板上方に形成された第1の電極と、該第1の電極上に形成された発光素子層と、該発光素子層上に形成された第2の電極とを有する表示装置において、前記第1の電極の厚さは、前記発光素子層の1/2よりも薄いことを特徴とする表示装置。

【請求項7】 基板上方に形成された第1の電極と、該第1の電極上に形成された発光素子層と、該発光素子層上に形成された第2の電極とを有する表示装置において、前記第1の電極の厚さは、前記発光素子層の1/3よりも薄いことを特徴とする表示装置。

【請求項8】 前記第1の電極は画素毎に独立して形成され、前記発光素子層を駆動する薄膜トランジスタを備えたアクティブマトリクス型であることを特徴とする請求項1乃至7のいずれかに記載の表示装置。

【請求項9】 前記薄膜トランジスタを覆って形成された平坦化絶縁膜を更に有し、該平坦化絶縁膜上に前記第1の電極が形成されていることを特徴とする請求項8に記載の表示装置。

【請求項10】 前記第1の電極は第1の方向に延在し、前記第2の電極は、前記第1の電極と交差するように第2の方向に延在した単純マトリクス型であることを特徴とする請求項1乃至7のいずれかに記載の表示装置。

【請求項11】 前記発光素子層は、ホール輸送層、発光層、電子輸送層が積層されてなることを特徴とする請求項1乃至10のいずれかに記載の表示装置。

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 29/78

(11) 공개번호 10-2001-0039557  
(43) 공개일자 2001년05월15일

(21) 출원번호	10-2000-0016814
(22) 출원일자	2000년03월31일
(30) 우선권주장	99-285303 1999년10월06일 일본(JP)
(71) 출원인	후지쯔 가부시끼가이샤 아끼구사 나오유키
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 아오야마마사아끼 일본국아미자켄 가수가미시 고조지포2-1844-2후지쯔브이엘에스아미가부시끼가 이샤내 (74) 대리인 문두현, 문기상

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 미세화된 배선을 형성하는 경우에도, 게이트 절연막의 파괴를 방지할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다. 하지(下地)기판(10) 상에 게이트 절연막(24)을 통하여 형성된 게이트 전극(26)을 갖는 트랜지스터(28a)와, 트랜지스터 상 및 하지기판 상에 형성된 절연막(30)과, 절연막 상에 제 1 간격(d<sub>1</sub>)으로 서로 이간되어 형성된 복수의 제 1 배선(40a, 40b)과, 제 1 배선 중 어느 하나로부터 제 1 간격과 거의 동일한 제 2 간격(d<sub>2</sub>)으로 이간되어 형성된 제 2 배선(42)을 갖고, 제 1 배선 중 어느 하나는 제 1 게이트 전극에 전기적으로 접속되어 있고, 제 2 배선은 하지기판에 전기적으로 접속되어 있다.

도면

도 1

색인어

반도체 장치, 절연 파괴

문세서

도면의 간단한 설명

- 도 1 은 본 발명의 제 1 실시 형태에 의한 반도체 장치를 나타내는 단면도 및 평면도.  
도 2 는 본 발명의 제 1 실시 형태에 의한 반도체 장치의 제조 방법의 공정단면도(그중 1).  
도 3 은 본 발명의 제 1 실시 형태에 의한 반도체 장치의 제조 방법의 공정단면도(그중 2).  
도 4 는 본 발명의 제 1 실시 형태에 의한 반도체 장치의 제조 방법의 공정단면도(그중 3).  
도 5 는 배선과 더미 배선과의 간격을 넓게 설정한 반도체 장치의 단면도 및 평면도.  
도 6 은 본 발명의 제 2 실시 형태에 의한 반도체 장치를 나타내는 단면도.  
도 7 은 본 발명의 제 3 실시 형태에 의한 반도체 장치를 나타내는 단면도.  
도 8 은 종래의 반도체 장치의 제조 방법을 나타내는 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

- 10, 110: 반도체 기판  
12: 웰  
14: 소자 영역  
16, 30, 50, 69, 116, 130: 층간절연막  
20: 콘택 영역  
22: 콘택층

- 24, 124: 게이트 절연막  
 26, 126: 게이트 전극  
 28a, 28b, 28c, 128: 트랜지스터  
 32, 36, 52, 56, 64, 70, 74, 132: 콘택 홀  
 34, 38, 54, 58, 66, 72, 76: 도체 플러그  
 40a, 40b, 48, 60a, 60b, 60c, 68, 78a, 78b: 배선  
 42, 62, 80: 더미 배선  
 44, 144: 배선 재료막  
 46, 146: 포토레지스트 마스크

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 게이트 절연막의 절연 파괴를 방지하면서, 미세한 배선을 형성할 수 있는 반도체 장치 및 그 제조 방법에 관한 것이다.

최근에, LSI 등의 반도체 장치는 급속하게 미세화가 진행되고 있으며, 이것에 수반되어 전계효과 트랜지스터의 게이트 절연막도 얇아지는 경향이 있다.

얇은 게이트 절연막은 전기적 스트레스에 약하기 때문에, 강한 전기적 스트레스가 가해진 경우에는, 게이트 절연막에 절연 파괴가 생기게 된다.

종래, 게이트 절연막에 절연 파괴가 생기는 요인으로서, 주로, 게이트 전극을 패터닝할 때의 플라스마의 불균일에 의해서, 게이트 절연막에 강한 전기적 스트레스가 가해지기 때문이라고 생각되었다.

그렇지만, 게이트 절연막을 패터닝할 때의 플라스마의 불균일을 시정하더라도, 배선 간격이 좁은 미세화된 반도체 장치를 제조할 때에 있어서는, 게이트 절연막에 절연 파괴가 생기게 쉽다는 것을 알고 있었다.

게이트 절연막에 절연 파괴가 생기는 반도체 장치의 제조 방법을 도 8을 사용하여 설명한다. 도 8은, 종래의 반도체 장치의 제조 방법을 나타내는 단면도이다.

먼저, 도 8(a)에 나타난 바와 같이, 반도체 기판(110)상에, 소자 분리막(116)을 형성한다. 다음에, 소자 분리막(116)에 의해 획정(劃定)된 소자 영역에, 게이트 절연막(124)을 형성한다. 다음에, 게이트 절연막(124)상에 게이트 전극(126)을 형성한다. 다음에, 게이트 전극(126)에 자기 정합으로 소스/드레인 확산층(도시하지 않음)을 형성하여, 게이트 전극(126)과 소스/드레인 확산층을 갖는 트랜지스터(128)를 형성한다.

다음에, 전면에 층간절연막(130)을 형성하고, 게이트 전극(126)에 이르는 콘택 홀(132)을 형성하고, 또, 전면에, 배선 재료막(144)을 형성한다. 다음에, 배선 재료막(144)상에, 배선을 형성하기 위한 포토레지스트 마스크(146)를 형성한다.

다음에, 포토레지스트 마스크(146)를 마스크로 하여 배선 재료막(144)을 에칭한다. 이 때, 패턴 간격이 넓은 반도체 장치에서는 특단의 문제는 발생하지 않지만, 패턴 간격이 좁은 미세한 반도체 장치에 있어서는 패턴 간격이 좁은 영역에서 에칭 속도가 늦어지게 되는 등의 마이크로 로딩 효과가 발생된다. 이 때, 양이온은 기판 표면에서의 시스(sheath)전계에 의해 가속되어 반도체 기판(110)에 대해 거의 수직으로 입사하는 한편, 전자는 시스전계에 의해 감속되므로 반도체 기판(110)에 대해 비스듬하게 입사한다. 이 때문에, 포토레지스트 마스크(146)의 패턴 간격이 좁은 영역에 있어서는, 포토레지스트 마스크(146)의 측면에는 전자가 많이 입사하고, 배선 재료막(144)에는 양이온이 많이 입사한다(도 8(b) 참조).

그리고, 에칭의 진행에 수반되어, 전자가 많이 입사한 포토레지스트 마스크(146)는 부(負)로 대전되고, 양이온이 많이 입사한 배선 재료막(144)은 정(正)으로 대전된다. 이와 같이 하여, 배선 재료막(144) 및 게이트 전극(126)에 정(正)의 전하가 충전된다.

그리고, 충전이 진행되어 게이트 절연막(124)의 내압 이상의 전압이 반도체 기판(110)과 게이트 전극(126)과의 사이에 가해지면, 게이트 절연막(124)에 절연 파괴가 생겨서, 정(正)의 전하가 반도체 기판(110)측으로 방전된다(도 8(c) 참조).

그래서, 이러한 충전 손상을 회피하기 위해서, 게이트 전극(126)과 반도체 기판(110)의 사이에 보호 다이오드를 삽입하는 기술이 제안되어 있다. 게이트 전극(126)과 반도체 기판(110)의 사이에 보호 다이오드를 삽입하면, 게이트 전극(126)과 반도체 기판(110) 사이의 전위차를 작게 할 수 있고, 이것에 의해 게이트 절연막(124)에 절연 파괴가 생기는 것을 방지할 수 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 모든 게이트 전극에 보호 다이오드를 접속하는 것은 곤란하고, 나아가서는, 반도체 장치의 집적도를 향상시키는 데 있어서는 저해 요인이 된다.

그런데, 배선의 면적을 게이트 면적으로 나눈 값인 안테나비가 높은 배선에 있어서 충전 손상이 생기기 쉬우므로, 이러한 안테나비가 높은 배선에만 보호 다이오드를 접속하는 것을 생각할 수 있지만, 실제 데 이어 등으로부터 안테나 비를 계산하여 보호 다이오드를 접속해야 할 게이트 전극을 특정하는 것은 반드시 용이하지 않았다.

본 발명의 목적은, 미세화된 배선을 형성하는 경우에도, 게이트 절연막의 파괴를 방지할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적은, 하지(下)기판 상에 제 1 게이트 절연막을 통하여 형성된 제 1 게이트 전극을 갖는 제 1 트랜지스터와, 상기 제 1 트랜지스터 상 및 상기 하지기판 상에 형성된 제 1 절연막과, 상기 제 1 절연막 상에 제 1 간격으로 서로 이간되어 형성된 복수의 제 1 배선과, 상기 제 1 배선 중의 어느 하나로부터 상기 제 1 간격과 거의 동일한 제 2 간격으로 이간되어 형성된 제 2 배선을 갖고, 상기 제 1 배선 중의 어느 하나는 상기 제 1 게이트 전극에 전기적으로 접속되어 있고, 상기 제 2 배선은 상기 하지기판에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치에 의해 달성된다. 이것에 의해서, 제 1 간격과 거의 동일한 간격으로, 제 1 배선으로부터 이간되어 제 2 배선을 형성하므로, 제 1 배선과 제 2 배선을 일정한 타이밍까지 서로 접속된 상태로 할 수 있다. 또한, 제 2 배선을 하지기판에 접속하고, 제 1 배선을 제 1 트랜지스터의 제 1 게이트 전극에 접속하고 있으므로, 제 1 배선과 제 2 배선에 전하가 충전된 경우에도, 제 1 게이트 절연막에 가해지는 전계를 작게 할 수 있어서, 제 1 게이트 절연막의 절연 파괴를 방지할 수 있다.

또, 상기 반도체 장치에 있어서, 상기 하지기판 상에 제 2 게이트 절연막을 통하여 형성된 제 2 게이트 전극을 갖는 제 2 트랜지스터와, 상기 제 1 절연막 상에, 상기 제 1 배선 상에, 및 상기 제 2 배선 상에 형성된 제 2 절연막과, 상기 제 2 절연막 상에 제 3 간격으로 서로 이간되어 형성된 복수의 제 3 배선과, 상기 제 3 배선 중의 어느 하나로부터 상기 제 3 간격과 거의 동일한 제 4 간격으로 이간되어 형성된 제 4 배선을 더 갖고, 상기 제 3 배선 중의 어느 하나는, 상기 제 2 게이트 전극에 전기적으로 접속되어 있고, 상기 제 4 배선은, 상기 하지기판에 전기적으로 접속되어 있는 것이 바람직하다.

또, 상기 반도체 장치에 있어서, 상기 제 1 간격, 상기 제 2 간격, 상기 제 3 간격, 및 상기 제 4 간격은, 1 $\mu$ m 이하인 것이 바람직하다.

또, 상기 목적은, 하지기판 상에, 게이트 절연막을 통하여 형성된 게이트 전극을 갖는 트랜지스터를 형성하는 공정과, 상기 하지기판 상에 및 상기 트랜지스터 상에 절연막을 형성하는 공정과, 상기 절연막 상에 배선 재료막을 형성하는 공정과, 상기 배선 재료막을 에칭하여, 적어도 어느 하나가 상기 게이트 전극에 전기적으로 접속된 제 1 배선과 상기 하지기판에 전기적으로 접속된 제 2 배선을 형성하는 공정을 갖고, 상기 배선 재료막을 에칭하는 공정에서는, 상기 제 1 배선끼리를 이간하는 제 1 간격과 거의 동일한 제 2 간격으로 상기 제 1 배선 중의 어느 하나로부터 이간하여 상기 제 2 배선을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해 달성된다. 이것에 의해서, 제 1 간격과 거의 동일한 간격으로, 제 1 배선으로부터 이간되어 제 2 배선을 형성하고 있으므로, 제 1 배선과 제 2 배선을 일정한 타이밍까지 서로 접속된 상태로 할 수 있다. 게다가, 제 2 배선이 하지기판에 접속되고 제 1 배선이 트랜지스터의 게이트 전극에 접속되어 있으므로, 제 1 배선과 제 2 배선에 전하가 충전된 경우에도, 게이트 절연막에 가해지는 전계를 작게 할 수 있으므로, 게이트 절연막의 절연 파괴를 방지할 수 있다.

#### 제 1 실시 형태

본 발명의 제 1 실시 형태에 의한 반도체 장치 및 그 제조 방법을 도 1 내지 도 5 를 사용하여 설명한다. 도 1 은, 본 실시 형태에 의한 반도체 장치를 나타내는 단면도 및 평면도이다. 또한, 도 1(a) 는, 도 1(b) 의 A-A' 선단면도이다. 도 2 내지 도 4 는, 본 실시 형태에 의한 반도체 장치의 제조 방법의 공정단면도이다. 도 5 는, 배선과 더미 배선과의 간격을 넓게 설정한 반도체 장치의 단면도 및 평면도이다.

#### (반도체 장치)

도 1 에 나타난 바와 같이, 반도체 기판(10)에는, p형 불순물이 고농도로 도입된 웰(12)이 형성되어 있고, 웰(12)이 형성된 반도체 기판(10) 상에는, 소자 영역(14) 및 콘택 영역(20)을 확장하는 소자 분리막(16)이 형성되어 있다.

소자 영역(14)의 반도체 기판(10)의 표면에는, 게이트 절연막(24)이 형성되어 있고, 게이트 절연막(24) 상에는 게이트 전극(26)이 형성되어 있다. 게이트 전극(26)의 양측의 반도체 기판(10)에는, 게이트 전극(26)에 자기 정합으로 소스/드레인 확산층(도시하지 않음)이 형성되어 있다. 이렇게 하여, 도 1(b) 에 나타난 바와 같이, 소스/드레인 확산층과 게이트 전극(26)을 갖는 트랜지스터(28a, 28b)가 형성되어 있다.

또, 소자 분리막(16)에 의해 확장된 콘택 영역(20)에는, p형 불순물이 고농도로 도입된 콘택층(22)이 형성되어 있다.

트랜지스터(28a, 28b)가 형성된 반도체 기판(10) 상에는, 전면층, 층간절연막(30)이 형성되어 있다. 층간절연막(30)에는, 게이트 전극(26)에 이르는 콘택 홀(32)이 형성되어 있고, 콘택 홀(32) 내에는, 도체 플러그(34)가 메워져 있다. 또, 층간절연막(30)에는, 콘택층(22)에 이르는 콘택 홀(36)이 형성되어 있고, 콘택 홀(36) 내에는, 도체 플러그(38)가 메워져 있다.

도체 플러그(34, 38)가 메워진 층간절연막(30) 상에는, 배선(40a)과 배선(40b)이 형성되어 있다. 배선(40a)은, 트랜지스터(28b)의 게이트 전극(26)에 접속되어 있고, 배선(40b)은, 트랜지스터(28a)의 게이트 전극(26)에 접속되어 있다.

또, 층간절연막(30) 상에는, 더미 배선(42)이 형성되어 있다. 배선(42)은, 도체 플러그(38)를 통하여

콘택층(22)에 접속되어 있고, 콘택층(22)을 통하여 웰(12)에 접속되어 있다. 또한, 더미 배선(42)은, 트랜지스터 등의 반도체 소자에는 특별히 접속되어 있지 않다.

또, 배선(40a)과 배선(40b)의 간격( $d_1$ )과, 더미 배선(42)과 배선(40a)의 간격( $d_2$ )이, 거의 동일하게 설정되어 있다.

본 실시 형태에 의한 반도체 장치는, 배선(40a)과 배선(40b)의 간격( $d_1$ )과, 더미 배선(42)과 배선(40a)의 간격( $d_2$ )이, 거의 동일하게 설정되어 있고, 또한, 더미 배선이 하지기판에 접속되어 있다는 것에 주된 특징이 있다.

배선(40a)과 배선(40b)의 간격( $d_1$ )과, 더미 배선(42)과 배선(40a)의 간격( $d_2$ )이, 거의 동일하게 설정되어 있기 때문에, 배선 재료막이 패터닝에 의해 서로 분리되어 배선(40a, 40b) 및 더미 배선(42)이 형성되는 타이밍을 거의 동일하게 할 수 있다.

이 때문에, 마이크로 로딩 효과에 의해 배선 재료막에 전하가 충전된 경우에도, 트랜지스터(28a)의 게이트 전극(26)과 웰(12)의 사이에 큰 전위차가 생기는 것을 억제할 수 있고, 트랜지스터(28a)의 게이트 절연막에 절연 파괴가 생기는 것을 방지할 수 있다.

따라서, 본 실시 형태에 의하면, 미세화된 반도체 장치를 제공하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있어서, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 마이크로 로딩 효과는, 배선 간격( $d_1$ )이  $1\mu\text{m}$  이하의 경우에 생기기 쉽기 때문에, 배선 간격( $d_1$ )이 예를 들면  $1\mu\text{m}$  이하의 경우에 특히 유효하다. 따라서, 배선 간격( $d_1$ )도 예를 들면  $1\mu\text{m}$  이하로 설정된다.

#### (반도체 장치의 제조 방법)

다음에, 본 실시 형태에 의한 반도체 장치의 제조 방법을 도 2 내지 도 5를 사용하여 설명한다.

먼저, 미온 주입법에 의해서, 반도체 기판(10)에 p형 불순물을 고농도로 도입하고, 이것에 의해 p형 웰(12)을 형성한다.

다음에, LOCOS(Local Oxidation of Silicon)법에 의해서, 소자 영역(14) 및 콘택 영역(20)을 획정하는 소자 분리막(16)을 형성한다.

다음에, 열산화법에 의해서, 반도체 기판(10)의 표면에 게이트 절연막(24)을 형성한다. 다음에, 폴리 실리콘으로 이루어진 게이트 전극(26)을 형성한다(도 2(a) 참조).

다음에, 게이트 전극(26)에 자기 정합으로 n형 불순물을 도입하고, 이것에 의해서, 게이트 전극(26)의 양측에 소스/드레인 확산층(도시하지 않음)을 형성한다.

다음에, 콘택 영역(20)에 p형 불순물을 고농도로 도입하고, 이것에 의해 콘택층(22)을 형성한다(도 2(a) 참조).

다음에, 전면예, CVD(Chemical Vapor Deposition, 화학기상퇴적)법에 의해서, 막 두께 약  $1\mu\text{m}$ 의 BPSG(Boro-Phospho-Silicate Glass)로 이루어진 층간절연막(30)을 형성한다.

다음에, 층간절연막(30)에, 게이트 전극(26)에 이르는 콘택 홀(32)과, 콘택층(22)에 이르는 콘택 홀(36)을 형성한다.

다음에, 전면예, CVD법에 의해서, 막 두께 약 400nm의 텅스텐으로 이루어진 배선 재료막을 형성한다.

다음에, CMP(Chemical Mechanical Polishing, 화학적 기계적 연마)법에 의해서, 층간절연막(30)의 표면이 노출될 때까지 배선 재료막을 연마하고, 이것에 의해서, 콘택 홀(32, 36) 내에, 각각 도체 플러그(34, 38)를 형성한다(도 2(b) 참조).

다음에, 전면예, 스퍼터링법에 의해서, 막 두께 약 400nm의 Al로 이루어진 배선 재료막(44)을 형성한다(도 2(c) 참조).

다음에, 전면예, 스피코팅법에 의해서, 포토레지스트막을 형성한다. 다음에, 포토리소그래피 기술을 사용하여, 배선(40a, 40b) 및 더미 배선(42)을 형성하기 위한 포토레지스트 마스크(46)를 형성한다(도 3(a) 참조).

다음에, 포토레지스트 마스크(46)를 마스크로서, 배선 재료막(44)을 드라이 에칭한다. 배선 재료막(44)을 에칭할 때, 포토레지스트 마스크(46)의 패턴 간격이 좁은 영역에 있어서는, 에칭 속도가 늦어진다. 고하는 마이크로 로딩 효과가 발생한다. 이 때, 양이온은 기판 표면의 시스(sheath)전계에 의해 가속되어 반도체 기판(10)에 대해 거의 수직으로 입사하는 한편, 전자는 시스전계에 의해 감속되므로 반도체 기판(10)에 대해 비스듬하게 입사한다. 이 때문에, 포토레지스트 마스크(46)의 패턴 간격이 좁은 영역에 있어서는, 포토레지스트 마스크(46)의 측면에는 전자가 많이 입사하고, 배선 재료막(44)에는 양이온이 많이 입사한다(도 3(b) 참조).

그리고, 에칭이 진행되면, 전자가 많이 입사한 포토레지스트 마스크(46)는 부로 대전되고, 양이온이 많이 입사한 배선 재료막(44)은 정으로 대전된다. 이와 같이 하여, 배선 재료막(44)에 정·음의 전하가 충전된다.

그렇지만, 본 실시 형태에서는, 배선(40a)과 배선(40b)의 간격( $d_1$ )과, 배선(40a)과 더미 배선(42)의 간격( $d_2$ )이 거의 동일하게 설정되어 있기 때문에, 배선(40a, 40b) 및 더미 배선(42)이 일정한 타이밍까지는 서로 접속된 상태가 된다. 게다가, 배선 재료막(44)의 더미 배선(42) 부분은 도체 플러그(38) 등을 통하여 웰(12)에 접속되어 있고, 배선 재료막(44)의 배선(40b) 부분은 도체 플러그(34)를 통하여 트랜지스터(28a)의 게이트 전극(26)에 접속되어 있다. 따라서, 본 실시 형태에 의하면, 배선 재료막(44)에 정·음의 전하가 충전된 경우에도, 트랜지스터(28a)의 게이트 전극(26)과 웰(12) 사이의 전위차를 작게 할 수

있어서, 게이트 절연막(24)의 절연 파괴를 방지할 수 있다.

이렇게 해서, 배선 간격이 좁은 미세한 반도체 장치를 제조하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있어서, 신뢰성이 높은 반도체 장치를 제공할 수 있다(도 4(b) 참조).

또한, 도 5 에 나타난 바와 같이, 배선(40a)과 배선(40b)의 간격( $d_1$ )보다도, 배선(40a)과 더미 배선(42)의 간격( $d_2$ ) 쪽이 큰 경우에는, 패턴 간격이 넓은 영역에 있어서 에칭 속도가 달라지기 때문에, 더미 배선(42)이 배선 재료막(44)으로부터 조기에 분리된다. 이 때문에, 마이크로 로딩 효과에 의해 배선 재료막(44)에 정의 전하가 충전된 경우에는, 게이트 전극(26)과 웰(12)의 사이에 높은 전압차가 생기고, 이것에 의해 게이트 절연막(24)에 절연 파괴가 생긴다. 따라서, 배선(40a)과 배선(40b)의 간격( $d_1$ )과, 배선(40a)과 더미 배선(42)의 간격( $d_2$ )은, 도 1 에 나타난 바와 같이, 서로 동일하게 설정하는 것이 바람직하다.

이와 같이, 본 실시 형태에 의하면, 배선 간격과 거의 동일한 간격으로, 배선으로부터 이간시켜서 더미 배선을 형성하고 있으므로, 배선과 더미 배선을 일정한 타이밍까지 서로 접속된 상태로 할 수 있다. 또한, 배선 재료막의 더미 배선 부분을 하지기판에 접속하고, 배선 재료막의 배선 부분을 트랜지스터의 게이트 전극에 접속하고 있으므로, 배선 재료막에 정의 전하가 충전된 경우에도, 게이트 절연막에 가해지는 전계를 작게 할 수 있어서, 게이트 절연막의 절연 파괴를 방지할 수 있다.

## 제 2 실시 형태

본 발명의 제 2 실시 형태에 의한 반도체 장치를 도 6 을 사용하여 설명한다. 도 6 은, 본 실시 형태에 의한 반도체 장치를 나타내는 단면도이다. 도 1 내지 도 5 에 나타난 제 1 실시 형태에 의한 반도체 장치 및 그 제조 방법과 동일한 구성 요소에는, 동일 부호를 부여하여 설명을 생략 또는 간결하게 한다.

도 1 에 나타난 바와 같이, 반도체 기판(10) 상에는, p형 불순물이 고농도로 도입된 웰(12a)이 형성되어 있고, 웰(12a)이 형성된 반도체 기판(10) 상에는, 소자 영역(14a, 14b) 및 콘택 영역(20a)을 형성하는 소자 분리막(16)이 형성되어 있다.

소자 영역(14)에 설치된 트랜지스터(28a)는, 제 1 실시 형태에서 설명한 트랜지스터(28a)와 동일하므로 설명을 생략한다.

또, 소자 영역(14a)에도, 트랜지스터(28a)와 동일한 트랜지스터(28b)가 형성되어 있다.

트랜지스터(28a, 28c)가 형성된 반도체 기판(10) 상에는, 제 1 실시 형태와 같이 층간절연막(30)이 형성되어 있다.

층간절연막(30)에는, 제 1 실시 형태와 같이, 트랜지스터(28a)의 게이트 전극(26)에 이르는 콘택 홀(32)이 형성되어 있고, 콘택 홀(32) 안에는, 도체 플러그(34)가 메워져 있다.

또, 층간절연막(30)에는, 트랜지스터(28c)의 게이트 전극(26)에 이르는 콘택 홀(32a)이 형성되어 있고, 콘택 홀(32a) 내에는, 도체 플러그(34a)가 메워져 있다.

또, 콘택 영역(20)에는, 제 1 실시 형태와 같이, p형 콘택층(22)이 형성되어 있다. 또, 층간절연막(30)에는, 콘택층(22)에 이르는 콘택 홀(36)이 형성되어 있고, 콘택 홀(36) 안에는, 도체 플러그(38)가 형성되어 있다.

도체 플러그(32, 32a, 38)가 메워진 층간절연막(30) 상에는, 제 1 층 배선, 즉 배선(40a, 40b) 및 더미 배선(42)이, 제 1 실시 형태와 같이 형성되어 있다. 배선(40a)과 배선(40b)의 간격( $d_1$ )은, 제 1 실시 형태와 같이, 더미 배선(42)과 배선(40a)의 간격( $d_2$ )과 거의 동일하게 설정되어 있다.

따라서, 제 1 실시 형태에서 설명한 바와 같이, 배선(40a, 40b)을 형성할 때에, 트랜지스터(28a)의 게이트 절연막(24)에 절연 파괴가 생기는 것을 방지할 수 있다.

또, 층간절연막(30) 상에는, 도체 플러그(32a)에 접속된 배선(48)이 형성되어 있다.

배선(40a, 40b, 48) 및 더미 배선(42)이 형성된 층간절연막(30) 상에는, 전면에 층간절연막(50)이 형성되어 있다.

층간절연막(50)에는, 더미 배선(42)에 이르는 콘택 홀(52)이 형성되어 있고, 콘택 홀(52) 내에는, 도체 플러그(54)가 메워져 있다. 또, 층간절연막(50)에는, 배선(48)에 이르는 콘택 홀(56)이 형성되어 있고, 콘택 홀(56) 내에는, 도체 플러그(58)가 형성되어 있다.

도체 플러그(54) 및 도체 플러그(58)가 메워진 층간절연막(50) 상에는, 제 2 층의 배선, 즉, 배선(60a 내지 60c) 및 더미 배선(62)이 형성되어 있다. 또, 배선(60a 내지 60c)의 서로간의 간격( $d_3$ )은, 더미 배선(62)과 배선(60a)의 간격( $d_4$ )과 거의 동일하게 설정되어 있다.

본 실시 형태에서는, 간격( $d_3$ )과 간격( $d_4$ )이 거의 동일하기 때문에, 배선 재료막을 패터닝하여 배선(60a 내지 60c) 및 더미 배선(62)을 형성할 때에는, 거의 같은 타이밍으로 배선 재료막이 분리되어 배선(60a 내지 60c) 및 더미 배선(62)이 형성된다. 또한, 배선(60c)은 도체 플러그(58) 등을 통하여 트랜지스터(28c)의 게이트 전극(26)에 접속되어 있고, 더미 배선(62)은 도체 플러그(54), 더미 배선(42) 등을 통하여 하지기판에 접속되어 있다.

따라서, 본 실시 형태에 의하면, 배선(40a, 40b)을 형성할 때에 트랜지스터(28a)의 게이트 절연막의 절연 파괴를 방지할 수 있는 것과 마찬가지로, 배선(60a 내지 60c)을 형성할 때에도, 트랜지스터(28c)의 게이트 절연막(24)에 절연 파괴가 생기는 것을 방지할 수 있다. 또한, 마이크로 로딩 효과는, 배선 간격



( $d_1$ )이  $1\mu\text{m}$  이하의 경우에 생기기 쉽기 때문에, 배선 간격( $d_1$ )이 예를 들면  $1\mu\text{m}$  이하의 경우에 특히 유효하다. 따라서, 배선 간격( $d_1$ )도 예를 들면  $1\mu\text{m}$  이하로 설정하게 된다.

이와 같이, 본 실시 형태에 의하면, 제 1 층의 배선을 형성할 때에 트랜지스터의 게이트 절연막의 절연 파괴를 방지할 수 있을 뿐만 아니라, 제 2 층의 배선을 형성하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있다.

또한, 본 실시 형태에 의한 반도체 장치는, 제 1 실시 형태에 나타난 반도체 장치의 제조 방법과 같은 방법에 의해서, 도체 플러그(52, 56), 배선(60a 내지 60c), 및 더미 배선(62) 등을 적절하게 형성함으로써 제조할 수 있다.

### 제 3 실시 형태

본 발명의 제 3 실시 형태에 의한 반도체 장치를 도 7 을 사용하여 설명한다. 도 7 은, 본 실시 형태에 의한 반도체 장치를 나타내는 단면도이다. 도 1 내지 도 6 에 나타난 제 1 및 제 2 실시 형태에 의한 반도체 장치와 동일한 구성 요소에는, 동일한 부호를 부여하여 설명을 생략 또는 간결하게 한다.

먼저, 도체 플러그(34, 36, 34a)가 메워진 층간절연막(30)보다 하부의 구조에 대해서는, 제 2 실시 형태에 의한 반도체 장치와 같으므로, 설명을 생략한다.

도체 플러그(34, 34a, 38)가 메워진 층간절연막(30) 상에는, 도체 플러그(34)에 접속된 배선(40b), 도체 플러그(34a)에 접속된 배선(48), 및 도체 플러그(38)에 접속된 더미 배선(42)이, 제 2 실시 형태와 같이 형성되어 있다. 배선(40b, 48) 및 더미 배선(42)이 형성된 층간절연막(30) 상에는, 제 2 실시 형태와 같이, 전면예 층간절연막(50)이 형성되어 있다.

층간절연막(50)에는, 제 2 실시 형태와 같이, 더미 배선(42)에 접속된 도체 플러그(54)가 메워져 있고, 배선(48)에 접속된 도체 플러그(58)가 메워져 있다. 또, 층간절연막(50)에는, 배선(40b)에 이르는 콘택 홀(64)이 형성되어 있고, 콘택 홀(64) 내에는, 도체 플러그(66)가 메워져 있다.

도체 플러그(54, 58, 66)가 메워진 층간절연막(50) 상에는, 제 2 층의 배선, 즉 배선(60a 내지 60c) 및 더미 배선(62)이, 제 2 실시 형태와 같이 형성되어 있다. 따라서, 제 2 실시 형태에서 설명한 바와 같이, 배선(60a 내지 60c)을 형성할 때에, 트랜지스터(28c)의 게이트 절연막(24)에 절연 파괴가 생기는 것을 방지할 수 있다.

또, 층간절연막(40) 상에는, 배선(68)이 형성되어 있다.

배선(60a 내지 60c, 68) 및 더미 배선(62)이 형성된 층간절연막(50) 상에는, 층간절연막(69)이 형성되어 있다.

층간절연막(69)에는, 배선(68)에 이르는 콘택 홀(70)이 형성되어 있고, 콘택 홀(70) 내에는, 도체 플러그(72)가 메워져 있다. 또, 층간절연막(69)에는, 더미 배선(62)에 이르는 콘택 홀(74)이 형성되어 있고, 콘택 홀(74) 내에는, 도체 플러그(76)가 메워져 있다.

도체 플러그(72, 76)가 메워진 층간절연막(69) 상에는, 제 3 층의 배선, 즉, 배선(78a, 78b) 및 더미 배선(80)이 형성되어 있다. 또, 배선(78a, 78b)의 간격( $d_3$ )은, 더미 배선(80)과 배선(78a)과의 간격( $d_4$ )과 거의 동일하게 설정되어 있다.

본 실시 형태에서는, 간격( $d_3$ )과 간격( $d_4$ )이 거의 동일하기 때문에, 배선 재료막을 패터닝하여 배선(78a, 78b) 및 더미 배선(80)을 형성할 때에는, 거의 같은 타이밍으로 배선 재료막이 분리되어 배선(78a, 78b) 및 더미 배선(80)이 형성된다. 또한, 배선(78a)은 도체 플러그(72) 등을 통하여 트랜지스터(28a)의 게이트 전극(26)에 접속되어 있고, 더미 배선(80)은 도체 플러그(76), 더미 배선(62) 등을 통하여 하지기판에 접속되어 있다.

따라서, 본 실시 형태에 의하면, 제 2 층의 배선, 즉, 배선(60a 내지 60c)을 형성할 때에 트랜지스터(28c)의 게이트 절연막의 절연 파괴를 방지할 수 있고, 제 3 층의 배선, 즉, 배선(78a 및 78b)을 형성할 때에도, 트랜지스터(28a)의 게이트 절연막(24)에 절연 파괴가 생기는 것을 방지할 수 있다. 또한, 마이크로 로딩 효과는, 배선 간격( $d_1$ )이  $1\mu\text{m}$  이하의 경우에 생기기 쉽기 때문에, 배선 간격( $d_1$ )이 예를 들면  $1\mu\text{m}$  이하의 경우에 특히 유효하다. 따라서, 배선 간격( $d_1$ )도 예를 들면  $1\mu\text{m}$  이하로 설정하게 된다.

이와 같이, 본 실시 형태에 의하면, 제 2 층의 배선을 형성할 때에 트랜지스터의 게이트 절연막의 절연 파괴를 방지할 수 있을 뿐만 아니라, 제 3 층의 배선을 형성하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있다.

또한, 본 실시 형태에 의한 반도체 장치는, 제 1 및 제 2 실시 형태에 나타난 반도체 장치의 제조 방법과 같은 방법에 의해서, 도체 플러그(72, 76), 배선(78a, 78b), 및 더미 배선(80) 등을 적절하게 형성함으로써 제조할 수 있다.

### 변형 실시 형태

본 발명은 상기 실시 형태에 한정되지 않고 여러 가지 변형이 가능하다.

예를 들면, 제 1 실시 형태에서는, p형 웰(12)에 p형 콘택층(22)을 형성했지만, p형 웰에 p형 콘택층을 형성하는 것뿐만 아니라, n형 웰에 n형 콘택층을 형성해도 좋다. 이 경우에도, 상기와 같은 효과를 얻을 수 있다.

또, 제 1 실시 형태에서는, p형 웰(12)에 p형 콘택층(22)을 형성했지만, p형 웰에 n형 불순물층을 형성함으로써, n형 다이오드를 구성해도 좋다. 또, n형 웰에 p형 불순물층을 형성함으로써, p형 다이오드를 구성해도 좋다. 어느 경우든, 웰과 게이트 전극 사이의 전위차를 작게 할 수 있으므로, 게이트 절연

막에 절연 파괴가 생기는 것을 방지할 수 있다.

또, 반도체 장치의 제조 공정 중에 있어서는, 더미 배선의 한쪽이  $n$ 형 웰에 접속되고, 그 더미 배선의 다른 쪽이  $p$ 형 웰에 접속되어 있어도 좋다. 다만, 이 경우에는, 최종적으로, 더미 배선을 임의의 개소에서 절단할 필요가 있다.  $n$ 형 웰과  $p$ 형 웰이 동일한 더미 배선에 접속되면, 전원의 장(正)측과 부(負)측이 합선되고 말기 때문이다.

#### 발명의 효과

이상과 같이, 본 발명에 의하면, 배선 간격과 거의 동일한 간격으로, 배선으로부터 이간시켜서 더미 배선을 형성하고 있으므로, 배선과 더미 배선을 일정한 타이밍까지 서로 접속된 상태로 할 수 있다. 또한, 배선 재료막의 더미 배선 부분을 하지기판에 접속하고, 배선 재료막의 배선 부분을 트랜지스터의 게이트 전극에 접속하므로, 배선 재료막에 정의 전하가 충전된 경우에도, 게이트 절연막에 가해지는 전계를 작게 할 수 있으므로, 게이트 절연막의 절연 파괴를 방지할 수 있다.

또, 본 발명에 의하면, 제 1 층의 배선을 형성할 때에 트랜지스터의 게이트 절연막의 절연 파괴를 방지할 수 있을 뿐만 아니라, 제 2 층의 배선을 형성하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있다.

또, 본 발명에 의하면, 제 2 층의 배선을 형성할 때에 트랜지스터의 게이트 절연막의 절연 파괴를 방지할 수 있을 뿐만 아니라, 제 3 층의 배선을 형성하는 경우에도, 게이트 절연막의 절연 파괴를 방지할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

하지(下地)기판 상에 제 1 게이트 절연막을 통하여 형성된 제 1 게이트 전극을 갖는 제 1 트랜지스터와,  
상기 제 1 트랜지스터 상 및 상기 하지기판 상에 형성된 제 1 절연막과,  
상기 제 1 절연막 상에, 제 1 간격으로 서로 이간되어 형성된 복수의 제 1 배선과,  
상기 제 1 배선 중의 어느 하나로부터 상기 제 1 간격과 거의 동일한 제 2 간격으로 이간되어 형성된 제 2 배선을 갖고,  
상기 제 1 배선 중의 어느 하나는, 상기 제 1 게이트 전극에 전기적으로 접속되어 있고,  
상기 제 2 배선은, 상기 하지기판에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

##### 청구항 2

제 1 항에 있어서,  
상기 하지기판 상에 제 2 게이트 절연막을 통하여 형성된 제 2 게이트 전극을 갖는 제 2 트랜지스터와,  
상기 제 1 절연막 상, 상기 제 1 배선 상, 및 상기 제 2 배선 상에 형성된 제 2 절연막과,  
상기 제 2 절연막 상에, 제 3 간격으로 서로 이간되어 형성된 복수의 제 3 배선과,  
상기 제 3 배선 중의 어느 하나로부터 상기 제 3 간격과 거의 동일한 제 4 간격으로 이간되어 형성된 제 4 배선을 더 갖고,  
상기 제 3 배선 중의 어느 하나는, 상기 제 2 게이트 전극에 전기적으로 접속되어 있고,  
상기 제 4 배선은, 상기 하지기판에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

##### 청구항 3

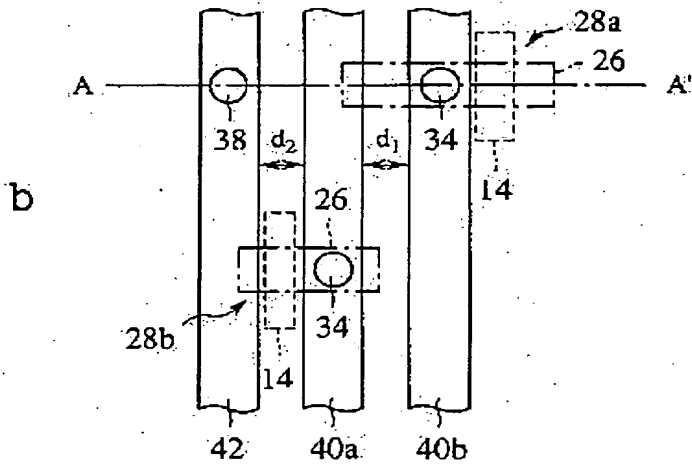
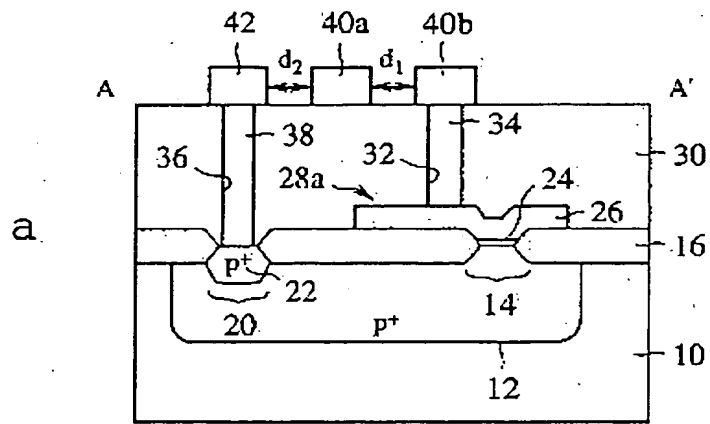
제 1 항 또는 제 2 항에 있어서,  
상기 제 1 간격, 상기 제 2 간격, 상기 제 3 간격, 및 상기 제 4 간격은  $1\mu\text{m}$  이하인 것을 특징으로 하는 반도체 장치.

##### 청구항 4

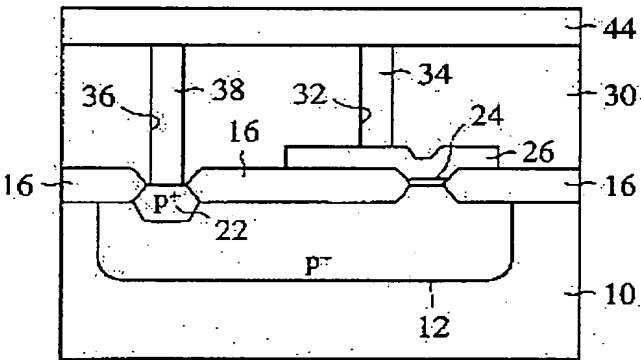
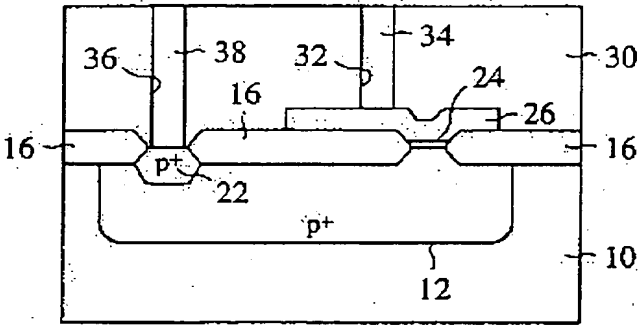
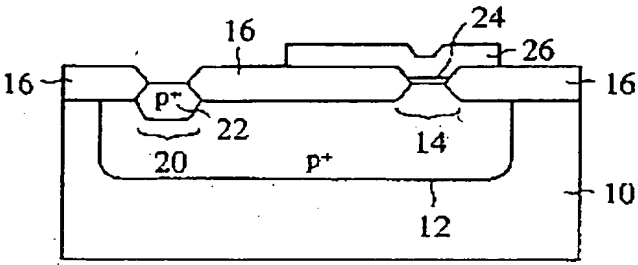
하지기판 상에, 게이트 절연막을 통하여 형성된 게이트 전극을 갖는 트랜지스터를 형성하는 공정과,  
상기 하지기판 상 및 상기 트랜지스터 상에 절연막을 형성하는 공정과,  
상기 절연막 상에 배선 재료막을 형성하는 공정과,  
상기 배선 재료막을 에칭하고, 적어도 어느 하나가 상기 게이트 전극에 전기적으로 접속되는 제 1 배선과, 상기 하지기판에 전기적으로 접속되는 제 2 배선을 형성하는 공정을 갖고,  
상기 배선 재료막을 에칭하는 공정에서는, 상기 제 1 배선끼리를 이간하는 제 1 간격과 거의 동일한 제 2 간격으로 상기 제 1 배선 중의 어느 하나로부터 이간하여 상기 제 2 배선을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

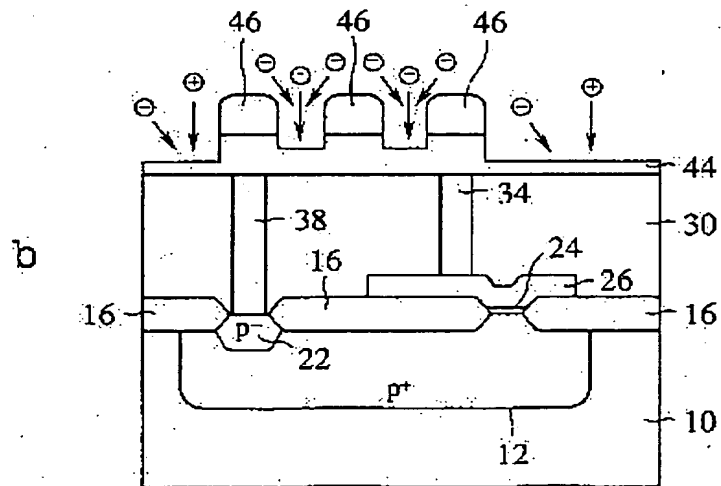
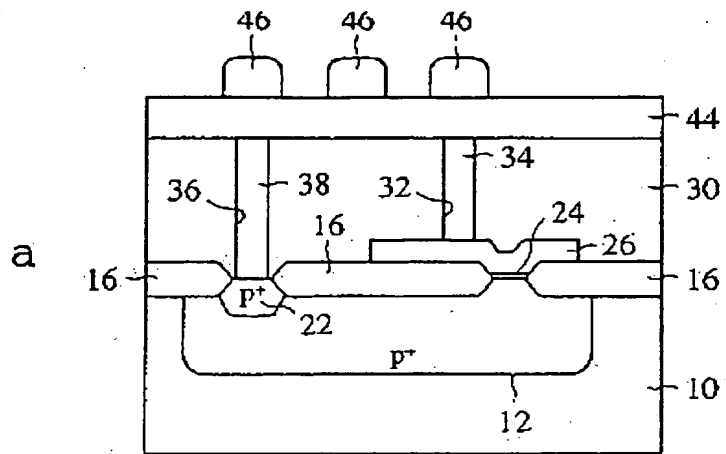
도면 1



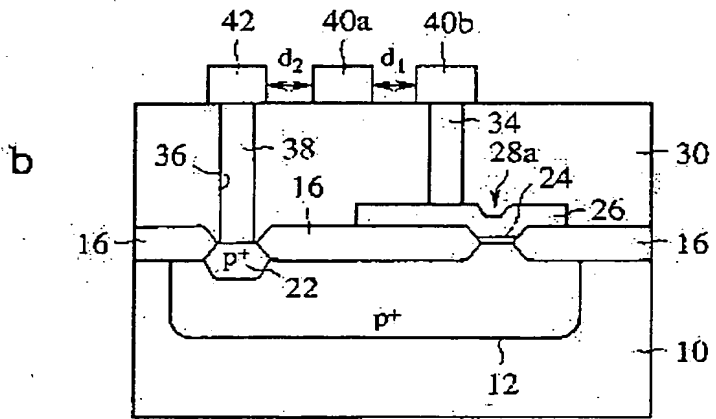
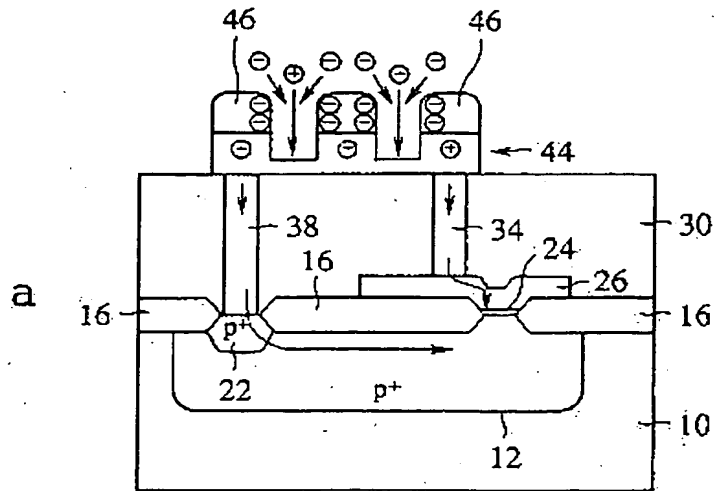
502



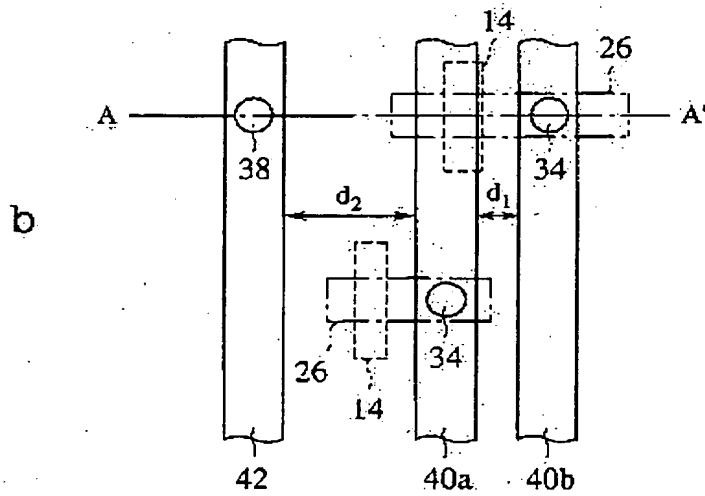
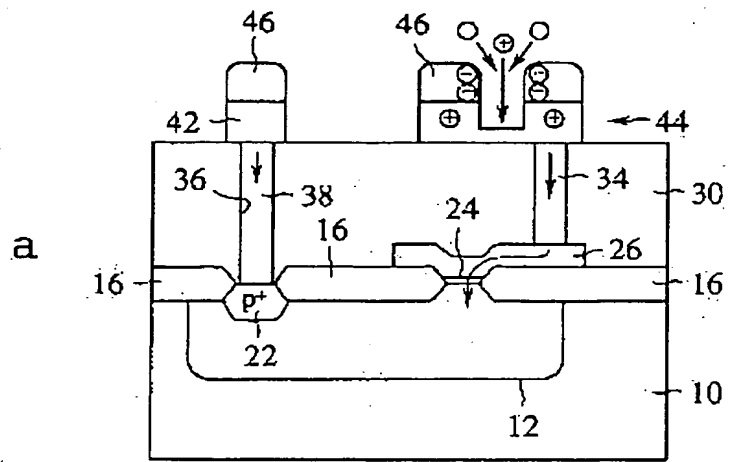
도 13



5014



**505**







도 8a

